

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT: SUN HYOUNG LEE, ET AL.)
) Group Art Unit: NYA
FOR: SRAM-COMPATIBLE MEMORY AND)
METHOD OF DRIVING THE SAME) Examiner: NYA

CLAIM FOR PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Commissioner:

Enclosed herewith is a certified copy of Korean Patent Application No. 2002-0069598 filed on November 11, 2002. The enclosed Application is directed to the invention disclosed and claimed in the above-identified application.

Applicants hereby claim the benefit of the filing date of November 11, 2002, of the Korean Patent Application No. 2002-0069598, under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

Respectfully submitted,

CANTOR COLBURN LLP

By: 

David A. Fox
Reg. No. 38, 807
Cantor Colburn LLP
55 Griffin Road South
Bloomfield, CT 06002
Telephone: (860) 286-2929
Fax: (860) 286-0115
PTO Customer No. 23413

Date: October 28, 2003



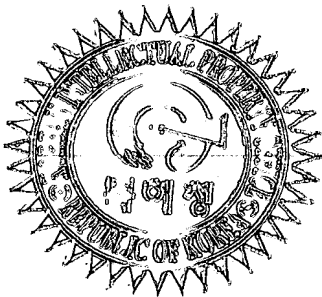
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0069598
Application Number

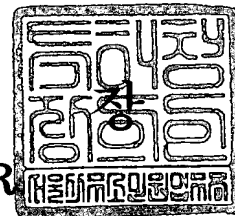
출 원 년 월 일 : 2002년 11월 11일
Date of Application NOV 11, 2002

출 원 인 : (주)실리콘세븐
Applicant(s) SILICON7 INC.



2003 년 08 월 19 일

특 허 청
COMMISSIONER





【서지사항】

| | |
|------------|--|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【제출일자】 | 2002.11.11 |
| 【국제특허분류】 | G11C |
| 【발명의 명칭】 | 메모리 뱅크별 기입 동작의 수행이 가능한 에스램 호환 메모리 및 그 구동방법 |
| 【발명의 영문명칭】 | SRAM compatable memory having memory banks capable of indepedently writing access and Operating Method thereof |
| 【출원인】 | |
| 【명칭】 | (주)실리콘세븐 |
| 【출원인코드】 | 1-2000-048635-1 |
| 【대리인】 | |
| 【성명】 | 곽덕영 |
| 【대리인코드】 | 9-1998-000630-5 |
| 【포괄위임등록번호】 | 2000-060422-7 |
| 【발명자】 | |
| 【성명의 국문표기】 | 이선형 |
| 【성명의 영문표기】 | LEE,Sun Hyoung |
| 【주민등록번호】 | 691024-1051812 |
| 【우편번호】 | 151-784 |
| 【주소】 | 서울특별시 관악구 신림8동 강남아파트 8동 814호 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 유인선 |
| 【성명의 영문표기】 | Y00, In Sun |
| 【주민등록번호】 | 710121-1406418 |
| 【우편번호】 | 467-854 |
| 【주소】 | 경기도 이천시 대월면 사동리 현대전자 사원 아파트 109동 905호 |
| 【국적】 | KR |



1020020069598

출력 일자: 2003/8/21

【발명자】

【성명의 국문표기】

신동우

【성명의 영문표기】

SHIN, Dong Woo

【주민등록번호】

641013-1474215

【우편번호】

467-866

【주소】

경기도 이천시 부발읍 아미리 753 현대아파트 707동 1702호

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
곽덕영 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

11 면 11,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

8 항 365,000 원

【합계】

405,000 원

【감면사유】

소기업 (70%감면)

【감면후 수수료】

121,500 원

【첨부서류】

1. 요약서·명세서(도면)_1통 2. 소기업임을 증명하는 서류[사업자등록증사본, 원천징수이행상황신 고서사본]_1통

【요약서】**【요약】**

메모리 뱅크별 기입 동작의 수행이 가능한 에스램 호환 메모리 및 그 구동방법이
게시된다. 본 발명의 에스램 호환 메모리는 각각의 뱅크별로 독립적으로 제어되는 특정
의 디램 셀에, 자신에 대응하는 입력 데이터를 기록하되, 자신에 포함되는 적어도 하나
의 디램 셀에 대하여 리프레쉬 동작이 수행 중일지라도, 대응하는 입력 데이터를 제외한
입력 데이터는 디램 셀에 기록된다. 그리고, 상기 리프레쉬 동작이 완료된 후에 저장된
입력 데이터가 특정되는 디램 셀에 기록된다. 본 발명의 에스램 호환 메모리 및 구동방
법에 의하면, 리프레쉬 동작을 수행하고 있는 메모리 뱅크에 제공되는 입력 데이터를 메
모리 뱅크의 내부 또는 외부에 내장되는 버퍼에 임시로 저장하였다가 해당 메모리 뱅크
의 리프레쉬 동작이 완료된 후에 해당 메모리 뱅크의 디램셀에 기입한다. 따라서, 리프
레쉬 동작으로 인한 기입 동작 속도의 저하가 방지된다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

메모리 뱅크별 기입 동작의 수행이 가능한 에스램 호환 메모리 및 그 구동방법{SRAM compatable memory having memory banks capable of indepedently writing access and Operating Method thereof}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 본 발명의 일실시예에 따른 에스램 호환 메모리를 개념적으로 설명하기 위한 블록도이다.

도 2는 도 1의 메모리 뱅크 및 패러티 뱅크에 포함되는 메모리 셀을 나타내는 도면이다.

도 3은 도 1의 뱅크 제어부를 자세히 나타내는 도면이다.

도 4는 본 발명의 일실시예에 따른 에스램 호환 메모리의 기입 동작을 개념적으로 나타내는 순서도이다.

도 5는 본 발명의 일실시예에 따른 에스램 호환 메모리의 기입 동작을 설명하기 위한 타이밍도이다.

도 6은 본 발명의 다른 일실시예에 따른 에스램 호한 메모리를 나타내는 블록도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<8> 본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 디램(DRAM: Dynamic Random Access Memory) 셀(cell)을 가지면서, 에스램(SRAM: Static Random Access Memory)과 호환 가능한 에스램 호한 메모리 및 그 구동 방법에 관한 것이다.

<9> 일반적으로, 반도체 메모리 장치 중의 램(RAM: Random Access Memory)은 에스램과 디램으로 분류된다. 통상적인 램은 행과 열로 구성되는 매트릭스 상에 배열되는 다수개의 단위 메모리 셀들을 가지는 메모리 어레이와, 상기 단위 메모리 셀들로/로부터 데이터를 입/출력하도록 제어하는 주변 회로로 구성된다. 에스램에 사용되는 1비트의 정보를 저장하기 위한 단위 메모리 셀은 래치(latch) 구조를 이루는 4개의 트랜지스터와, 전송 게이트로 작용하는 2개의 트랜지스터로 구현된다. 즉, 통상적인 에스램은 래치 구조의 단위 메모리 셀에 데이터를 저장하고 있으므로, 데이터를 보존하기 위한 리프레쉬 동작이 요구되지 않는다. 또한, 에스램은, 디램에 비하여, 동작 속도가 빠르고, 소비 전력이 작다는 장점을 지닌다.

<10> 그러나, 에스램의 단위 메모리 셀은 6개의 트랜지스터로 구현되어 있으므로, 에스램은 1개의 트랜지스터와 1개의 커패시터로 단위 메모리 셀이 구현되는 디램에 비하여,

소요되는 웨이퍼 면적면에서, 단점을 지닌다. 즉, 동일한 용량의 기억 소자를 제조하기 위하여, 에스램의 웨이퍼 면적은 디램의 웨이퍼 면적의 6배 내지 10배 정도이다. 이와 같은, 에스램의 소요 면적은 에스램의 단가를 상승시킨다. 만약, 비용 절감 등을 위하여, 에스램을 대신하여 통상적인 디램이 사용되는 경우, 주기적인 리프레쉬 때문에 추가적으로 디램 컨트롤러가 장착되어야 한다. 또한, 디램의 주기적인 리프레쉬 동작을 위한 소요 시간과 느린 동작 속도 때문에 시스템 자체의 전반적인 성능이 하락된다.

<11> 상기와 같은 디램과 에스램의 단점을 극복하고자, 디램 셀을 이용한 에스램을 구현하려는 노력이 계속되고 있다. 이러한 노력 중에서의 하나가 리프레쉬 동작을 외부에서는 감추어서, 에스램과 호환되도록 만드는 기술이다.

<12> 상기와 같은 에스램 호환 메모리 기술에 기입 액세스 동작에서는, 메모리 어레이의 디램 셀을 리프레쉬하기 시간을 확보하기 위하여, 내부적으로 기입 액세스 구간 내에 별도의 리프레쉬 구간을 확보하든지, 기입 액세스 타이밍을 지연시키든지 하는 방법들이 이용되고 있다.

<13> 그러나, 이와 같은 종래의 에스램 호환 메모리 기술에서는, 내부적으로 기입을 위한 액세스 타이밍이 지연되고, 이로 인하여, 전체적으로 동작 속도가 저하되는 문제점이 발생한다.

【발명이 이루고자 하는 기술적 과제】

- <14> 본 발명의 목적은 상기 종래기술의 문제점을 해결하기 위한 것으로서, 디램 셀을 이용하면서도 에스램 호환이 가능한 에스램 호환 메모리로서, 리프레쉬 동작으로 인한 기입 동작 속도의 저하를 방지하는 에스램 호환 메모리를 제공하는 것이다.

【발명의 구성 및 작용】

- <15> 상기와 같은 기술적 과제를 해결하기 위한 본 발명의 일면은 에스램 호환 메모리에 관한 것이다. 본 발명의 에스램 호환 메모리는 행과 열로 정의되는 매트릭스 상에 배열되는 복수개의 디램 셀들을 포함하며, 동시에 입력되는 각각의 입력 데이터들을 수신하여 기록할 수 있는 다수개의 메모리 뱅크들을 가진다. 그리고, 상기 디램 셀들 각각은 저장된 데이터를 유효하게 보존하기 위하여 소정의 리프레쉬 주기 이내에 리프레쉬의 수행이 요구된다. 그리고, 상기 에스램 호환 메모리는 외부적으로 상기 리프레쉬의 수행을 위한 별도의 동작 타이밍 구간이 설정되지 않는 외부 시스템과 인터페이싱될 수 있다. 또한 본 발명의 에스램 호환 메모리는 소정의 입력 어드레스에 의하여 특정되는 디램 셀에 자신에 대응하는 상기 입력 데이터를 기록할 수 있으며, 각각의 기입동작이 독립적으로 제어되는 상기 다수개의 메모리 뱅크로서, 특정의 상기 메모리 뱅크에 포함되는 디램 셀에 대하여 리프레쉬 동작 또는 이전 프레임의 기입 동작이 수행 중일지라도, 상기 특정의 메모리 뱅크를 제외한 나머지 상기 메모리 뱅크의 디램셀에 대해서는 입력 데이터의 기록이 가능한 상기 다수개의 메모리 뱅크들; 상기 입력 데이터들로부터 소정의 입력 패러티를 발생시키는 패러티 발생기로서, 상기 입력 패러티는 상기 입력 데이터들과 함

계 소정의 설정 패러티값을 가지는 상기 패러티 발생기; 및 상기 입력 패러티를 기록하는 패러티 뱅크를 구비한다.

<16> 상기와 같은 다른 기술적 과제를 해결하기 위한 본 발명의 일면은 상기 에스램 호환 메모리의 구동 방법에 관한 것이다. 본 발명의 에스램 호환 메모리의 구동 방법은 (A) 입력되는 상기 입력 데이터들을 대응하는 상기 메모리 뱅크에 제공하는 단계; (B) 특정되는 상기 입력 데이터에 대응하는 해당 메모리 뱅크가 리프레쉬 동작 및 이전 프레임의 기입 동작이 수행 중인지 여부를 판단하는 단계; (C) 상기 해당 메모리 뱅크가 리프레쉬 동작 또는 이전 프레임의 기입 동작 상태에 있으면, 상기 해당 메모리 뱅크의 디램 셀로의 상기 입력 데이터의 기록을 보류하고 소정의 데이터 버퍼에 임시적으로 저장하며, 상기 디램 셀을 지정하는 입력 어드레스를 소정의 어드레스 버퍼에 저장하는 단계; 및 (D) 상기 (C)단계에서, 상기 해당 메모리 뱅크의 리프레쉬 동작 또는 상기 이전 프레임의 기입 동작이 완료된 후에, 상기 데이터 버퍼에 임시적으로 저장된 상기 입력 데이터가 상기 디램 셀에 기록되고, 상기 어드레스 버퍼에 임시적으로 저장된 상기 입력 어드레스가 상기 해당 메모리 뱅크에 제공되는 단계를 구비한다. 그리고, 상기 다수개의 메모리 뱅크들 각각은 특정의 상기 메모리 뱅크에 대한 리프레쉬 또는 이전 프레임의 기입 동작이 수행 중일지라도, 상기 특정의 메모리 뱅크를 제외한 나머지 메모리 뱅크의 디램 셀에 대한 입력 데이터의 기록이 가능하다.

<17> 본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

- <18> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다.
- <19> 본 발명의 에스램 호환 메모리는 내부적으로 디램 셀을 채용하고 리프레쉬 동작이 수행되지만, 외부적으로는 통상의 에스램과 마찬가지로 리프레쉬를 위한 동작구간이 할당되지 않는다. 또한, 본 발명의 에스램 호환 메모리는 리프레쉬 동작을 제어하기 위한 별도의 제어신호가 외부에서 요구되지 않으며, 외부적으로는 통상적인 에스램과 동일한 규칙에 의하여 구동될 수 있다.
- <20> 본 발명의 에스램 호환 메모리는 다수개의 데이터들을 동시에 입력하여 각자의 메모리 बैं크에 저장할 수 있으며, 또한 상기 입력되는 데이터를 동시에 출력할 수 있는 멀티 입출력 구조를 가진다. 본 명세서에서는, 외부 또는 타의 시스템으로부터 본 발명의 에스램 호환 메모리로 제공되는 데이터를 '입력 데이터'라 칭하며, 본 발명의 에스램 호환 메모리로부터 외부 또는 타의 시스템으로 제공되는 데이터를 '출력 데이터'라 칭한다.
- <21> 도 1은 본 발명의 일실시예에 따른 에스램 호환 메모리를 개념적으로 설명하기 위한 블록도이다. 본 실시예의 에스램 호환 메모리에서는, 8개의 입력 데이터가 동시에 수신될 수 있으며, 또한, 8개의 데이터가 동시에 출력될 수 있다.
- <22> 도 1을 참조하면, 본 발명의 일실시예에 따른 에스램 호환 메모리는 8개의 메모리 बैं크들(10_i, i=0~7) 및 패러티 बैं크(12)를 포함한다. 또한, 본 실시예에 따른 에스램 호환 메모리는 상기 메모리 बैं크들(10_i, i=0~7)을 각각 제어하는 बैं크 제어부(14_i, i=0~7)와 상기 패러티 बैं크(12)를 제어하는 패러티 제어부(15)를 포함한다. 그리고, 본

실시예의 에스램 호환 메모리는 기입 제어회로(16), 독출 제어회로(18), 패러티 발생기(20), 리프레쉬 어드레스 발생기(22), 플래그 발생기(24) 및 리프레쉬 타이머(26)를 포함한다.

<23> 상기 8개의 메모리 뱅크들(10_i, i=0~7) 및 패러티 뱅크(12) 각각은 행과 열로 정의되는 매트릭스 상에 배열되는 복수개의 메모리 셀(11)들을 포함한다. 그리고, 상기 8개의 메모리 뱅크들(10_i, i=0~7)은 동일한 용량과 구조를 가진다. 또한, 패러티 뱅크(12)는 상기 8개의 메모리 뱅크들(10_i, i=0~7)과 동일한 용량과 구조를 가진다. 그리고, 상기 메모리 셀(11)은 저장된 데이터를 보존하기 위하여, 소정의 리프레쉬 주기 이내에 리프레쉬의 수행이 요구되는 셀이다. 상기 메모리 셀(11)의 대표적인 예는 '디램 셀'이다. 따라서, 본 명세서에서는, 상기 메모리 셀(11)은 '디램 셀'로 불리울 수 있다. 상기 디램 셀은, 도 2에 도시된 바와 같이, 워드라인(WL)에 의하여 게이팅되는 전송트랜지스터(11a)와, 전송트랜지스터(11a)를 통하여 전송되는 비트라인(BL)의 데이터를 저장하는 커패시터(11b)로 구현된다.

<24> 그리고, 상기 다수개의 메모리 뱅크들(10_i, i=0~7) 각각은 메모리 뱅크별 기입 동작의 수행이 가능하다. 따라서, 특정의 메모리 뱅크에 대한 리프레쉬 또는 이전 프레임의 기입 동작이 수행 중일 때도, 나머지 7개의 메모리 뱅크(10_i, i=0~7)의 디램 셀에 대한 입력 데이터들(DIN0~DIN7)의 기록은 가능하다.

<25> 다시 도 1을 참조하면, 상기 입력 데이터들(DIN0~DIN7)은 각자의 뱅크 제어부(14_i, i=0~7)에 제공된다. 그리고, 상기 뱅크 제어부들(14_i, i=0~7)에 제공된 상기 입력 데이터들(DIN0~DIN7)은, 뱅크 기입 제어 신호(WCON)에 응답하여 대응하

는 메모리 뱅크들(10_i, i=0~7)에 제공될 수 있다. 즉, 특정되는 입력 데이터(DIN0~DIN7)에 대응하는 메모리 뱅크(10_i, i=0~7)가 리프레쉬를 수행하고 있지 않는 경우(그리고, 이전 프레임의 기입 동작도 완료된 경우)에는, 상기 입력 데이터(DIN0~DIN7)는 상기 뱅크 제어부(14_i, i=0~7)를 거쳐, 바로 상기 메모리 뱅크(10_i, i=0~7)로의 기입된다. 이때, 상기 입력 데이터들(DIN0~DIN7)의 대응하는 메모리 뱅크(10_i, i=0~7)로의 제공은 기입 제어 신호(WCON)에 응답하여 제어된다. 상기 뱅크 제어부들(14_i, i=0~7)은 각각의 입력 데이터들(DIN0~DIN7)을 내부 어드레스 신호(AIN)들에 의하여 특정되는 디램셀(11)에 기록한다. 하지만, 자신에 대응하는 메모리 뱅크들(10_i, i=0~7)(여기서는, '해당 메모리 뱅크'라 함)에 포함되는 적어도 어느 하나의 디램셀에 대하여 리프레쉬 동작(또는 이전 프레임의 기입 동작)을 수행하고 있는 동안에는, 대응하는 입력 데이터들(DIN0~DIN7)의 특정되는 디램셀로의 기록이 보류된다. 이 경우에는, 디램셀로의 기록이 보류되는 입력 데이터는 뱅크 제어부(14_i, i=0~7)의 데이터 버퍼(303, 도 3참조)에 임시적으로 저장된다. 그리고, 임시 저장되는 입력 데이터(DIN0~DIN7)는 해당 메모리 뱅크(10_i, i=0~7)에 대한 리프레쉬 상태가 종료된 후(그리고, 이전 프레임의 기입 동작이 완료된 후)에, 해당 메모리 뱅크(10_i, i=0~7)의 디램 셀에 기록된다. 상기 8개의 메모리 뱅크들(10_i, i=0~7)에서 특정되는 디램셀들은 모두 동일한 어드레스에 의하여 특정되며, 단지, 입력 데이터들(DIN0~DIN7)에 대응하는 메모리 뱅크에 기록된다는 점에서 차이가 있을 뿐이다.

<26> 패러티 뱅크(12)는 기입 제어신호(WCON)에 응답하여, 패러티 발생기(20)로부

터 제공되는 입력 패러티(DINP)를 패러티 제어부(13)을 통하여 자신의 디램셀(11)에 기록한다. 그러나, 상기 패러티 뱅크(12)도, 메모리 뱅크(10_i, i=0~7)와 마찬가지로, 자신에 포함되는 적어도 어느하나의 디램셀에 대하여 리프레쉬 동작을 수행하고 있거나, 이전 프레임의 기입 동작이 완료되지 못한 경우에는 기록이 보류되며, 패러티 제어부(13)의 데이터 버퍼(미도시)에 입력 패러티(DINP)를 임시로 저장한다.

<27> 한편, 상기 입력 패러티(DINP)를 저장하기 위하여 특정되는 디램셀은 상기 8개의 메모리 뱅크들(10_i, i=0~7)에서 특정되는 디램셀들과 동일한 내부 어드레스 신호(AIN)에 의하여 특정된다.

<28> 상기 뱅크 제어부(14_i, i=0~7)와 패러티 제어부(15)는 플래그 발생기(24)로부터 제공되는 각각의 리프레쉬 플래그 신호(RFLA_i, i=0~7,P)를 응답하여, 뱅크 제어신호(BCON_i, i=0~7,P)를 생성한다. 상기 뱅크 제어신호(BCON_i, i=0~7,P)는 각각의 메모리 뱅크(10_i, i=0~7) 및 패러티 뱅크(12)가 리프레쉬 동작 상태로 진입하도록 제어한다.

<29> 또한, 상기 뱅크 제어부들(14_i, i=0~7) 각각과 패러티 제어부(15)는 외부로부터 수신되는 입력 어드레스(AIN)과 리프레쉬 어드레스 발생기(22)로부터 제공되는 리프레쉬 어드레스(ARF)를 수신한다. 그리고, 상기 뱅크 제어부들(14_i, i=0~7) 각각과 패러티 제어부(15)는 각각의 리프레쉬 플래그 신호(RFLA_i, i=0~7,P)에 제어되어, 상기 입력 어드레스(AIN)과 상기 리프레쉬 어드레스(ARF) 중의 어느 하나가 선택 어드레스(SADD)로서 각각의 메모리 뱅크(10_i, i=0~7) 또는 패러티 뱅크(12)에 제공된다. 즉, 리프레쉬 플래그 신호(RFLA_i, i=0~7,P)가 활성화하는 뱅크 제어부(14_i, i=0~7) 또는 패러티 제어부(15)에서는, 상기 리프레쉬 어드레스(ARF)가 상기 선택 어드레스(SADD)로 제공된다. 그리고, 리프레쉬 플래그 신호(RFLA_i, i=0~7,P)가 활성화되지 않는 뱅크 제어부(14_i,

i=0~7) 또는 패러티 제어부(15)에서는, 상기 입력 어드레스(AIN)가 상기 선택 어드레스(SADD)로 제공된다.

<30> 그리고, 리프레쉬 동작 상태에 진입하는 상기 메모리 뱅크들(10_i, i=0~7)과 상기 패러티 뱅크(12)는, 상기 리프레쉬 어드레스 신호(ARF)에 의하여 특정되는 디램셀들을 리프레쉬한다.

<31> 한편, 상기 기입 제어회로(16)는 기입 명령(WRCMD)을 수신하여, 상기 기입 제어신호(WCON)를 발생한다.

<32> 상기 패러티 발생기(10)는 상기 입력 데이터들(DIN0~DIN7)을 수신하며, 상기 입력 패러티(DINP)를 제공한다. 상기 입력 패러티(DINP)는 상기 입력 데이터들(DIN0~DIN7)과 함께 소정의 설정 패러티값을 가진다. 예를 들어, "0(짝수)"으로 설정 패러티값이 설정된 경우, "1"의 값을 가지는 입력 데이터(DIN0~DIN7)의 갯수가 홀수개이면, 상기 입력 패러티(DINP)는 "1"이다. 그리고, "1"의 값을 가지는 입력 데이터(DIN0~DIN7)의 갯수가 짝수개이면, 상기 입력 패러티(DINP)는 "0"이다. 그리고, "1(홀수)"로 설정 패러티값이 설정되는 경우는, 앞의 경우와 반대의 결과가 됨은 당업자에게는 자명하다.

<33> 리프레쉬 타이머(26)는 일정한 주기 즉, 리프레쉬 주기마다 활성화되는 리프레쉬 요구신호(REFREQ)를 발생한다. 플래그 발생기(24)는 상기 리프레쉬

요구신호(REFREQ)에 응답하여, 활성화되는 리프레쉬 구동신호(RFDR)를 발생한다. 상기 플래그 발생기(24)는 상기 리프레쉬 요구신호(REFREQ)에 응답하여, 순환적으로 활성화하는 9개의 리프레쉬 플래그 신호(RFLAi, i=0~7,P)를 발생한다. 상기 리프레쉬 어드레스 발생기(22)는 상기 리프레쉬 구동신호(RFDR)의 매9번째 활성화에 응답하여, 지정되는 어드레스가 변하는 리프레쉬 어드레스 신호(ARF)를 상기 8개의 메모리 뱅크들(10_i, i=0~7)과 패리티 뱅크(12)에 제공한다.

<34> 그러므로, 본 실시예에서는, 8개의 메모리 뱅크들(10_i, i=0~7)과 패리티 뱅크(12)에서 동일한 어드레스의 워드라인에 접속되는 디램셀들이 순차적으로 리프레쉬되며, 매9번째의 상기 리프레쉬 구동신호(RFDR)에 의하여 리프레쉬되는 워드라인을 특정하는 리프레쉬 어드레스 신호(ARF)가 변화한다.

<35> 그러므로, 상기 메모리 뱅크들(10_i, i=0~7)과 상기 패리티 뱅크(12)는 순차적으로 리프레쉬를 수행한다. 그러므로, 2개의 메모리 뱅크에서 동시에 리프레쉬가 진행되는 경우는 발생하지 않는다.

<36> 그리고, 본 실시예의 변형에 따르면, 먼저 동일 메모리 뱅크에서의 워드라인에 접속되는 모든 디램셀들에 대하여 리프레쉬를 수행한 후에, 다른 메모리 뱅크의 워드라인에 접속되는 디램셀에 대한 리프레쉬를 수행하도록 설계될 수 있다. 이와 같은, 본 실시예의 변형 실시예의 구현은 당업자에게는 자명하므로, 본 명세서에서는 그에 대한 자세한 기술은 생략된다.

<37> 그리고, 독출 제어회로(18)는 외부로부터의 독출 명령(RDCMD)를 수신하며, 독출 제어신호(RCON)를 상기 뱅크 제어부(14_i, i=0~) 및 패리티 제어부(15)를 통

하여 상기 메모리 뱅크들(10_i, i=0~7) 및 상기 패러티 뱅크(12)로 제공하며, 데이터의 독출을 제어한다.

<38> 한편, 본 발명의 에스램 호환 메모리는, 상기 패러티 뱅크(12)에 기록되는 상기 입력 패러티(DINP)를 이용하여 효과적으로 독출 동작을 수행할 수 있다. 즉, 상기 다수개의 메모리 뱅크들(10_i, i=0~7) 중의 어느하나의 메모리 뱅크가 리프레쉬의 수행이나 이전 프레임의 기입 동작이 수행 중임으로 인하여, 해당 프레임의 입력 데이터의 기록이 완료되지 못하는 경우가 발생할 수 있다. 이러한 경우라 하더라도, 본 발명의 에스램 호환 메모리는 상기 입력 패러티(DINP)를 이용하여, 상기 기록이 완료되지 못한 입력 데이터를 에러 정정기 등을 통하여 추출하는 것이 가능하다.

<39> 이와 같이, 상기 기록이 완료되지 못한 입력 데이터에 대한 데이터 정정의 기능은 본 발명의 에스램 호환 메모리의 잇점이다.

<40> 상기 뱅크 제어부(14_i, i=0~7)와 패러티 제어부(15)는 동일한 구성을 가지며, 다만, 입출력 신호에 차이가 있을 뿐이다. 그러므로, 본 명세서에서는, 도 1의 뱅크 제어부(14₀)가 대표적으로 도 3에 자세히 도시된다. 도 3을 참조하면, 상기 뱅크 제어부(14₀)는 입력 제어기(301), 데이터 버퍼(303), 어드레스 버퍼(305) 및 어드레스 선택기(307)를 포함한다. 상기 입력 제어기(301)는 리프레쉬 플래그 신호(RFLA0), 기입 제어신호(WCON) 및 독출 제어신호(RCON)를 수신하며, 데이터 제어 신호(DCON), 어드레스 제어 신호(ACON) 및 뱅크 제어신호(BCON0)를 생성한다.

<41> 상기 데이터 버퍼(303)는 상기 입력 데이터(DIN0)를 뱅크 데이터(BDIN0)로서 상기 메모리 뱅크(10₀)에 제공하되, 상기 메모리 뱅크(10₀)에 포함되는 디램셀에 대한 리프레쉬가 수행되는 경우에는, 상기 데이터 제어신호(DCON)에 응답하여, 상기 입력 데이터

(DIN0)를 임시적으로 저장한다. 그리고, 상기 메모리 뱅크(10_0)에 포함되는 디램셀에 대한 리프레쉬의 수행이 완료된 후에, 상기 데이터 버퍼(303)에 임시로 저장된 입력 데이터(DIN0)를 뱅크 데이터(BDIN0)로서, 상기 메모리 뱅크(10_0)에 제공한다.

<42> 상기 어드레스 버퍼(305)는 상기 입력 어드레스(AIN)를 어드레스 선택기(307)에 제공하되, 상기 메모리 뱅크(10_0)에 포함되는 디램셀에 대한 리프레쉬가 수행되는 경우에는, 상기 데이터 제어신호(DCON)에 응답하여, 상기 입력 어드레스(AIN)를 임시적으로 저장한다. 그리고, 상기 메모리 뱅크(10_0)에 포함되는 디램셀에 대한 리프레쉬의 수행이 완료된 후에, 상기 어드레스 선택기(307)에 임시로 저장된 입력 어드레스(AIN)를 제공한다.

<43> 어드레스 선택기(307)는 상기 입력 어드레스(AIN)를 선택 어드레스(SADD0)로서 상기 메모리 뱅크(10_0)에 제공하되, 상기 메모리 뱅크(10_0)에 포함되는 디램셀에 대한 리프레쉬가 수행되는 경우에는, 상기 어드레스 제어신호(ACON)에 응답하여, 상기 리프레쉬 어드레스(ARF)를 선택 어드레스(SADD0)로서 상기 메모리 뱅크(10_0)에 제공한다.

<44> 그리고, 상기 뱅크 제어신호(BCON0)는 상기 리프레쉬 플래그 신호(RFLA0), 기입 제어신호(WCON) 및 독출 제어신호(RCON)에 따라, 상기 메모리 뱅크(10_0)의 리프레쉬 및 기입 또는 독출 동작을 제어한다.

<45> 도 4는 본 발명의 일실시예에 따른 에스램 호환 메모리의 기입 동작을 개념적으로 나타내는 순서도이다. 도 4를 참조하여, 본 발명의 에스램 호환 메모리의 기입 동작이 기술된다. 외부로부터 기입 명령이 발생하면(S401), 8개의 입력 데이터들(DIN_i, i=0~7)이 수신된다(S403). 그리고, 상기 입력 데이터들(DIN_i, i=0~7)과 함께 소정의 설정 패리티값을 가지는 입력 패리티(DINP)가 생성된다(S405). 상기 입력 데이터들(DIN_i, i=0~7)

은 각각의 메모리 뱅크들(10_i, i=0~7)에, 입력 패러티(DINP)는 패러티 뱅크(12)에 제공된다(S407).

<46> 이때, 해당 메모리 뱅크(10_i, i=0~7)가 리프레쉬 상태에 있는지(또는 이전 프레임의 기입 동작이 진행 중에 있는지) 여부가 판단된다(S409). 만약, 해당 메모리 뱅크(10_i, i=0~7)가 리프레쉬 상태(또는 이전 프레임의 기입 동작이 진행 중)에 있으면, 입력 데이터(DIN_i, i=0~7)는 데이터 버퍼(303)에 임시적으로 기록되고(S411), 해당 메모리 뱅크(10_i, i=0~7)는 계속하여 리프레쉬 동작(또는 이전 프레임의 기입 동작)을 진행한다(S413). 그리고, 해당 메모리 뱅크의 리프레쉬(그리고 이전 프레임의 기입 동작)가 완료되면(S415), 상기 데이터 버퍼(303)에 임시적으로 기록되었던 입력 데이터(DIN_i, i=0~7)가 해당 메모리 뱅크의 특정되는 디램셀에 기록된다(S417). 한편, 상기 S409단계에서, 해당 메모리 뱅크(10_i, i=0~7)가 리프레쉬(그리고 이전 프레임의 기입 동작) 상태에 있지 아니하면, 입력 데이터들(DIN_i, i=0~7)은 데이터 버퍼(303)에 저장되지 아니하고, 해당 메모리 뱅크(10_i, i=0~7)의 특정되는 디램셀에 바로 기록된다(S417).

<47> 예를 들어 정리하면, 메모리 뱅크(10_7)가 리프레쉬 상태에 있으면, 리프레쉬 중인 상기 메모리 뱅크(10_7)를 제외한 나머지 메모리 뱅크(10_i, i=0~6)와 패러티 뱅크(12)에서는 입력 데이터(DIN_i, i=0~6) 또는 패러티 데이터(DINP)의 기록이 발생하고, 상기 메모리 뱅크(10_7)에서만 기록이 보류된다. 그리고, 메모리 뱅크(10_7)의 리프레쉬 동작이 완료되면, 바로 기록 보류되었던 입력 데이터가 기록된다. 만약, 기입 보류되었던 데이터의 기입 도중에 독출 동작이 발생하면, 패러티 뱅크(12)에 기록되었던 패러티 데이터(DINP)를 이용하여, 기입 보류되었던 데이터를 복원할 수 있다.

- <48> 도 5는 본 발명의 일실시예에 따른 에스램 호환 메모리의 기입 동작을 설명하기 위한 타이밍도로서, 최악 조건(worst case)에서의 기입 동작을 도시한다. 상기 최악 조건은 리프레쉬의 수행이 요구되는 메모리 बैं크에 대하여, 상기 리프레쉬 동작의 시작과 함께 외부 기입 동작이 발생하고, 이후 상기 리프레쉬가 수행된 동일한 메모리 बैं크에 대하여 연속적으로 외부 기입 동작이 발생하는 경우를 가정한다.
- <49> 여기서, '외부 기입 동작'이란 에스램 호환 메모리의 외부적으로 나타나는 기입 액세스 동작을 말하며, 상기 '외부 기입 동작'을 위하여 외부적으로 확보되는 소요시간을 '외부 기입 시간(Twce)'라 칭한다. 그리고, 에스램 호환 메모리의 내부적으로 나타나는 기입 액세스 동작은 '내부 기입 동작'이라 칭하며, 상기 '내부 기입 동작'을 위하여 확보되는 최대의 소요시간을 '내부 기입 시간(Twci)'라 칭한다.
- <50> 도 5를 참조하여, 본 발명의 에스램 호환 메모리의 최악 조건에서의 기입 동작 및 이를 만족하기 위한 상기 '외부 기입 시간(Twce)'과 상기 '내부 기입 시간(Twci)'의 관계를 살펴본다. 도 5를 참조하면, 동일한 메모리 बैं크(여기서는, 해당 메모리 बैं크'라 칭함)를 특정하는 다수개의 외부 기입 동작(EWR1, EWR2, ..., EWR8, ...)이 연속적으로 발생한다. 그런데, 도 5에 도시되는 예는, 첫번째 외부 기입 동작(EWR1)이 발생할 때, 상기 해당 메모리 बैं크에 대하여 리프레쉬가 수행되는 경우이다. 즉, 제1 외부 기입 동작(EWR1)이 발생할 때, 상기 해당 메모리 बैं크에서는 리프레쉬 동작(REF)이 수행되고 있다. 그러므로, 상기 제1 외부 기입 동작(EWR1)에 대응하는 제1 내부 기입 동작(IWR1)은, 상기 리프레쉬 동작이 종료될 때까지 보류된다. 그리고, 상기 리프레쉬 동작이 종료된 후(즉, REF 신호가 '로우'로 된 후)에, 제1 내부 기입 동작(IWR1)이 수행된다. 그리고, 이후에 발생하는 외부 기입 동작들(EWR2 내지 ERW5)에 대응하는 내부 기입 동작들(IWR2

내지 IRW5)도 조금씩 지연되어 수행된다. 도 5의 예에서는, 제1 내부 기입 동작(IWR1)부터 제5 내부 기입 동작(IWR5)까지는 지연되어 수행되고, 제6 내부 기입 동작(IWR6)부터는 지연없이 수행된다. 이와 같이, 외부적으로는 리프레쉬 동작을 위한 별도의 타이밍 구간이 확보되지 않음에도 불구하고, 본 발명의 에스램 호환 메모리는 내부적으로 외부 기입 동작과 동일한 수의 내부 기입 동작 및 리프레쉬 동작을 수행할 수 있다. 즉, 본 발명의 에스램 호환 메모리는 외부의 액세스 동작보다 1번 더 많은 내부 액세스 동작의 수행이 가능하게 된다.

<51> 계속하여, 본 발명의 에스램 호환 메모리가 정상적으로 기입 동작을 수행하기 위한 상기 '외부 기입 시간(Twce)'과 상기 '내부 기입 시간(Twci)' 사이의 조건(본 명세서에서는, 설명의 편의를 위하여 '내부 마진(margin) 조건'이라 칭함)을 살펴본다.

<52> 한번의 리프레쉬 주기(Tper) 동안에, 발생 가능한 외부 기입 동작의 최대수 N을 살펴보면, [식 1]과 같다.

<53>
$$N = T_{per} / T_{wce} \text{ ----- [식 1]}$$

<54> 그리고, 에스램 호환 메모리에서, 내부적으로 리프레쉬 동작을 위한 소요시간 (Tref)은 상기 '내부 기입 시간(Twci)'과 거의 동일하다. 따라서, 본 명세서에서는, 상기 Tref를 상기 Twci와 동일하다고 가정한다.

<55> 그러므로, 상기 '내부 기입 시간(Twci)'를 구하면, [식 2]와 같다.

<56>
$$T_{wci} = T_{per} / (N + 1) \text{ ----- [식 2]}$$

<57> 그리고, [식 1]과 [식 2]를 결합하면, [식 3]이 성립한다.

<58>
$$T_{wci} = (T_{per} * T_{wce}) / (T_{per} + T_{wce}) \text{ ----- [식 3]}$$

- <59> 여기서, $T_{per}=10\mu s$, $T_{wce}=100ns$ 이라고 가정하면, T_{wci} 도 거의 $100ns$ 이다.
- <60> 따라서, 상기 '내부 기입 시간(T_{wci})'은 상기 '외부 기입 시간(T_{wce})'과 거의 동일하게 확보될 수 있다.
- <61> 한편, 도 5에 도시된 바와 같이, 리프레쉬가 수행 중이지 않는 메모리 뱅크의 내부 기입은 외부 기입과 동일한 타이밍으로 수행되며, 또한, 내부 기입 시간도 외부 기입 시간과 동일하다.
- <62> 도 6은 본 발명의 다른 일실시예에 따른 에스램 호환 메모리를 나타내는 블록도로서, 도 1에 도시된 본 발명의 실시예의 변형예이다. 도 6의 실시예는 도 1의 실시예와 거의 동일하며, 도 1의 실시예에서는 각 메모리 뱅크 및 패러티 뱅크마다, 뱅크 제어부 또는 패러티 제어부가 내장되었지만, 도 6의 실시예에서는 각 메모리 뱅크와 패러티 뱅크가 공유하는 하나의 제어부(14')가 내장된다는 점에만 차이가 있을 뿐이다. 따라서, 도 6의 구성요소 중에서 도 1의 구성요소와 동일한 기능하는 것에 대해서는 동일한 참조번호를 사용하며, 도 3의 구성요소와 동일한 기능하는 것에 대해서는 첨자(')가 첨가된다.
- <63> 그리고, 도 6의 구성요소의 구성 및 작용은 도 1 및 도 3과 관련하여 기술된 구성요소들과 동일하므로, 본 명세서에서는 그에 대한 자세한 기술은 생략된다.
- <64> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 예를 들면, 본 발명의 에스램 호환 메모리의 기입 동작에 있어서, 입력 데이터의 특정되는 디램 셀로의 기입이 보류되는 작용은 리프

레쉬 동작과 관련하여 기술되었다. 그러나, 이와 같이 입력 데이터의 특정되는 디램 셀로의 기입이 보류되는 작용은 동일하게 발생한다. 그러므로, 본 명세서에서 리프레쉬 동작과 관련되는 작용효과는 이전 프레임의 기입 동작의 진행에서 동일하게 발생하는 작용효과를 포함하여 대표적으로 기술된 것으로 이해될 수 있을 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<65> 상기와 같은 본 발명의 에스램 호환 메모리 및 그 구동방법에 의하면, 다수개의 메모리 뱅크들이 각각 메모리 뱅크별 기입 동작의 수행이 가능하다. 따라서, 해당 메모리 뱅크에 대한 리프레쉬 또는 이전 프레임의 기입 동작이 수행 중일지라도, 나머지 메모리 뱅크의 디램 셀에 대한 입력 데이터들의 기록은 가능하다. 그러므로, 본 발명의 에스램 호환 메모리 및 그 구동방법에 의하면, 리프레쉬 동작으로 인한 기입 동작 속도의 저하가 방지되며, 현재 프레임에서 디램 셀에 기록되지 못한 입력 데이터의 복원 추출도 가능하다.

【특허청구범위】**【청구항 1】**

행과 열로 정의되는 매트릭스 상에 배열되는 복수개의 디램 셀들을 포함하며, 동시에 입력되는 각각의 입력 데이터들을 수신하여 기록할 수 있는 다수개의 메모리 뱅크들을 가지는 에스램 호환 메모리로서, 상기 디램 셀들 각각은 저장된 데이터를 유효하게 보존하기 위하여 소정의 리프레쉬 주기 이내에 리프레쉬의 수행이 요구되되, 외부적으로 상기 리프레쉬의 수행을 위한 별도의 동작 타이밍 구간이 설정되지 않는 외부 시스템과 인터페이싱될 수 있는 상기 에스램 호환 메모리에 있어서,

소정의 입력 어드레스에 의하여 특정되는 디램 셀에 자신에 대응하는 상기 입력 데이터를 기록할 수 있으며, 각각의 기입동작이 독립적으로 제어되는 상기 다수개의 메모리 뱅크로서, 특정의 상기 메모리 뱅크에 포함되는 디램 셀에 대하여 리프레쉬 동작 또는 이전 프레임의 기입 동작이 수행 중일지라도, 상기 특정의 메모리 뱅크를 제외한 나머지 상기 메모리 뱅크의 디램셀에 대해서는 입력 데이터의 기록이 가능한 상기 다수개의 메모리 뱅크들;

상기 입력 데이터들로부터 소정의 입력 패러티를 발생시키는 패러티 발생기로서, 상기 입력 패러티는 상기 입력 데이터들과 함께 소정의 설정 패러티값을 가지는 상기 패러티 발생기; 및

상기 입력 패러티를 기록하는 패러티 뱅크를 구비하는 것을 특징으로 에스램 호환 메모리.

【청구항 2】

제1 항에 있어서, 상기 에스램 호환 메모리는

소정의 데이터 버퍼와 소정의 어드레스 버퍼를 포함하는 뱅크 제어부를 구비하며,

상기 데이터 버퍼는 상기 리프레쉬 동작 또는 이전 프레임의 기입 동작이 수행 중인 메모리 뱅크에 대해서, 상기 특정되는 디램 셀로의 기록이 보류되는 상기 입력 데이터를 임시적으로 저장하였다가 상기 리프레쉬 동작 또는 이전 프레임의 기입 동작이 완료된 후에 저장된 상기 입력 데이터를 상기 특정되는 디램 셀에 제공하며,

상기 어드레스 버퍼는 상기 특정되는 디램 셀을 지정하는 상기 입력 어드레스를 임시적으로 저장하였다가, 상기 리프레쉬 동작 또는 이전 프레임의 기입 동작이 완료된 후에는 저장된 상기 입력 어드레스를 자신의 상기 메모리 뱅크에 제공하는 것을 특징으로 하는 에스램 호환 메모리.

【청구항 3】

제2 항에 있어서, 상기 에스램 호환 메모리는

리프레쉬되는 상기 디램 셀의 워드라인을 지정하는 리프레쉬 어드레스를 발생하는 리프레쉬 어드레스 발생기를 더 구비하는 것을 특징으로 하는 에스램 호환 메모리.

【청구항 4】

제2 항에 있어서, 상기 뱅크 제어부는

상기 입력 어드레스 또는 상기 리프레쉬 어드레스 중의 어느 하나를 선택하여, 상기 디램 셀을 특정하는 선택 어드레스로서 제공하는 어드레스 선택기를 더 구비하는 것을 특징으로 하는 에스램 호환 메모리.

【청구항 5】

제2 항에 있어서, 상기 에스램 호환 메모리는

소정의 리프레쉬 플래그 신호를 발생하는 플래그 발생기로서, 상기 리프레쉬 플래그 신호는 리프레쉬 동작이 수행되고 있는 상기 다수개의 메모리 뱅크들 또는 상기 패러티 뱅크를 나타내는 상기 플래그 발생기를 더 구비하는 것을 특징으로 하는 에스램 호환 메모리.

【청구항 6】

제2 항 내지 제5 항 중 어느 하나의 항에 있어서, 상기 패러티 뱅크는

상기 다수개의 메모리 뱅크들 각각과 동일한 구조를 가지는 것을 특징으로 하는 에스램 호환 메모리.

【청구항 7】

행과 열로 정의되는 매트릭스 상에 배열되는 복수개의 디램 셀들을 포함하며, 동시에 입력되는 각각의 입력 데이터들을 수신하여 기록할 수 있는 다수개의 메모리 뱅크들을 가지는 에스램 호환 메모리의 구동 방법으로서, 상기 디램 셀들 각각은 저장된 데이

터를 유효하게 보존하기 위하여 소정의 리프레쉬 주기 이내에 리프레쉬의 수행이 요구되
 되, 외부적으로 상기 리프레쉬의 수행을 위한 별도의 동작 타이밍 구간이 설정되지 않는
 외부 시스템과 인터페이싱될 수 있는 상기 에스램 호환 메모리의 구동 방법에 있어서,

(A) 입력되는 상기 입력 데이터들을 대응하는 상기 메모리 뱅크에 제공하는 단계;

(B) 특정되는 상기 입력 데이터에 대응하는 해당 메모리 뱅크가 리프레쉬 동작 및
 이전 프레임의 기입 동작이 수행 중인지 여부를 판단하는 단계;

(C) 상기 해당 메모리 뱅크가 리프레쉬 동작 또는 이전 프레임의 기입 동작 상태
 에 있으면, 상기 해당 메모리 뱅크의 디램 셀로의 상기 입력 데이터의 기록을 보류하고
 소정의 데이터 버퍼에 임시적으로 저장하며, 상기 디램 셀을 지정하는 입력 어드레스를
 소정의 어드레스 버퍼에 저장하는 단계; 및

(D) 상기 (C)단계에서, 상기 해당 메모리 뱅크의 리프레쉬 동작 또는 상기 이전 프
 레임의 기입 동작이 완료된 후에, 상기 데이터 버퍼에 임시적으로 저장된 상기 입력 데
 이터가 상기 디램 셀에 기록되고, 상기 어드레스 버퍼에 임시적으로 저장된 상기 입력
 어드레스가 상기 해당 메모리 뱅크에 제공되는 단계를 구비하며,

상기 다수개의 메모리 뱅크들 각각은

메모리 뱅크별 기입 동작의 수행이 가능하며,

특정의 상기 메모리 뱅크에 대한 리프레쉬 또는 이전 프레임의 기입 동작이 수행
 중일지라도, 상기 특정의 메모리 뱅크를 제외한 나머지 메모리 뱅크의 디램 셀에 대한
 입력 데이터의 기록이 가능한 것을 특징으로 하는 에스램 호환 메모리의 구동방법.

【청구항 8】

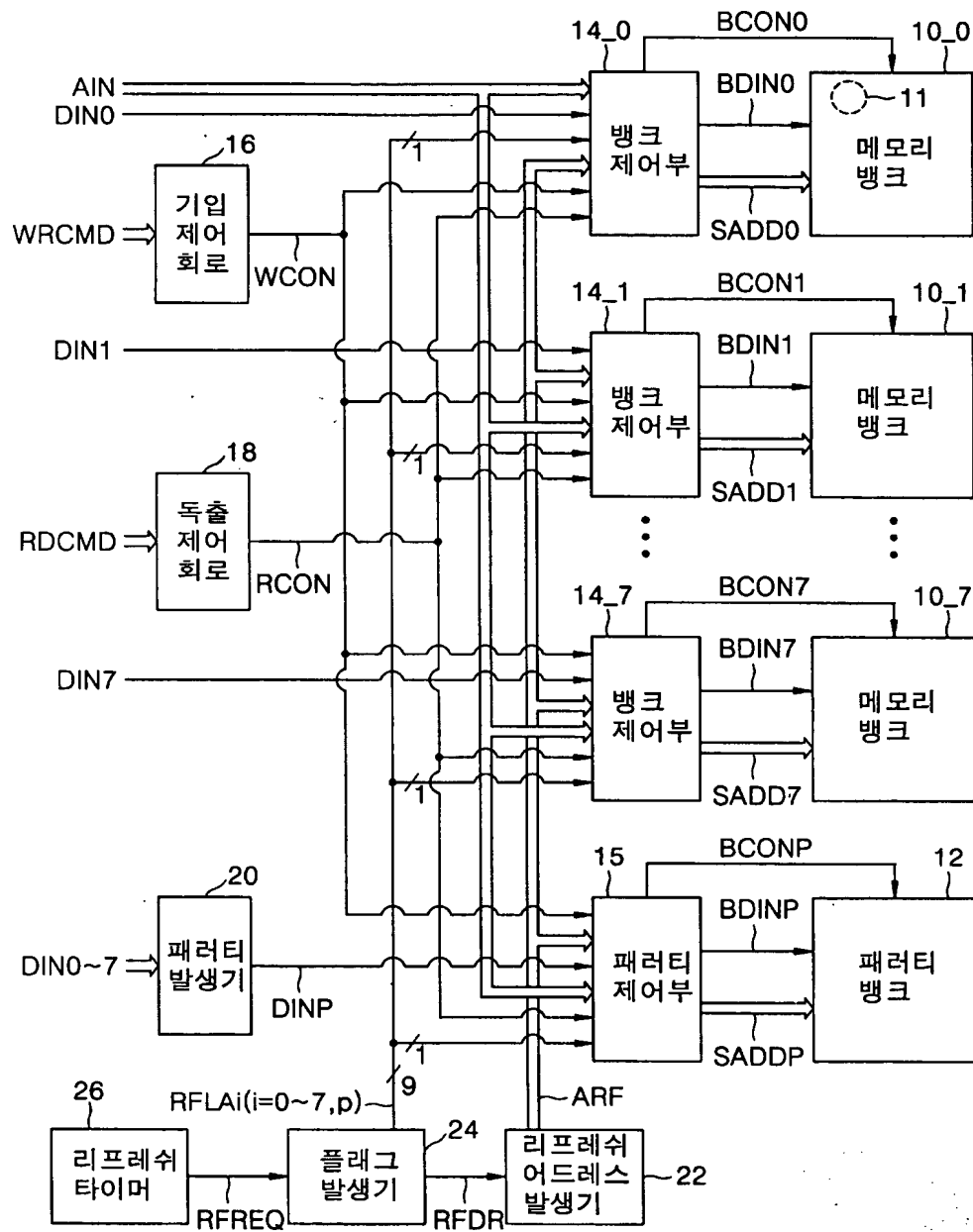
제7 항에 있어서,

상기 입력 데이터들과 함께 소정의 설정 패러티값을 나타내는 입력 패러티를 구하는 단계; 및

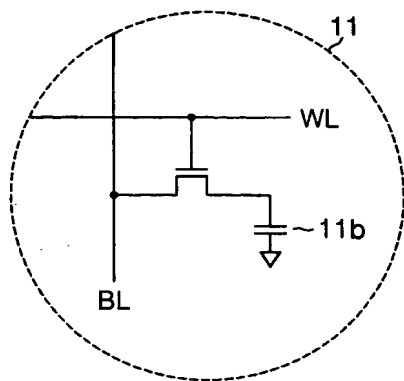
상기 입력 패러티를 소정의 패러티 뱅크에 기록하는 단계를 더 구비하는 것을 특징으로 하는 에스램 호환 메모리의 구동 방법.

【도면】

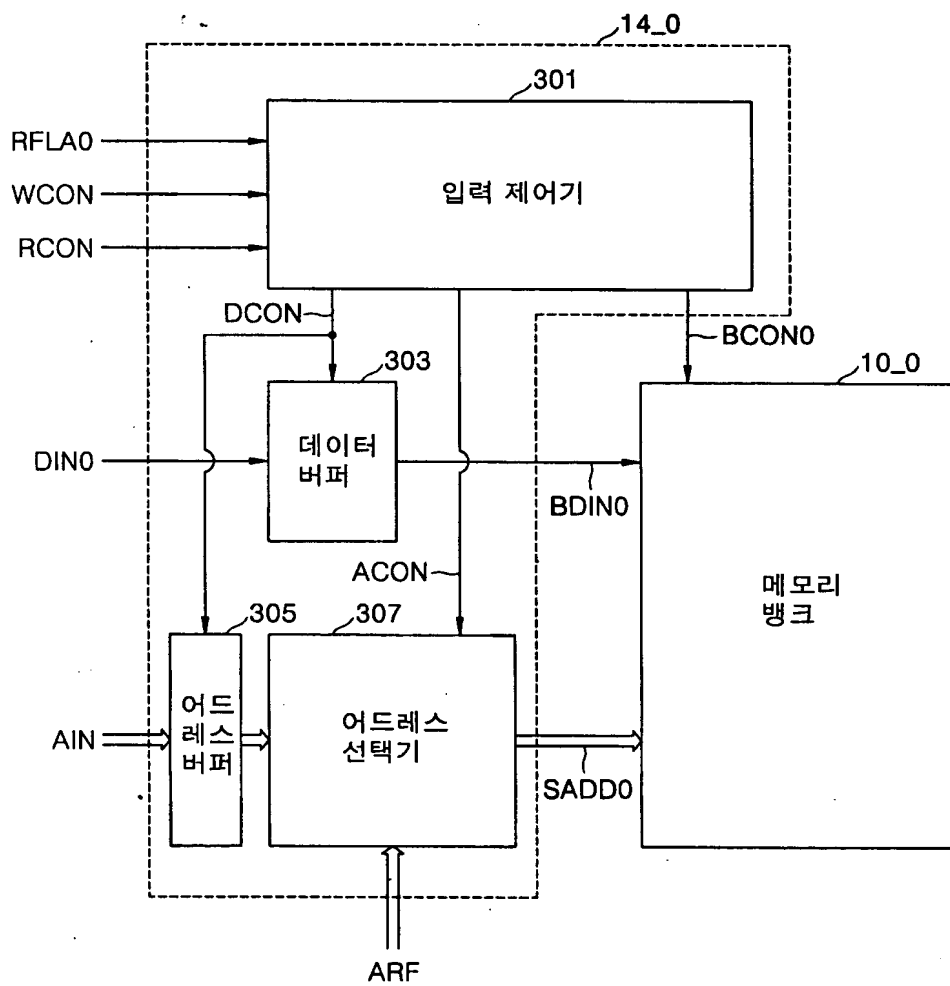
【도 1】



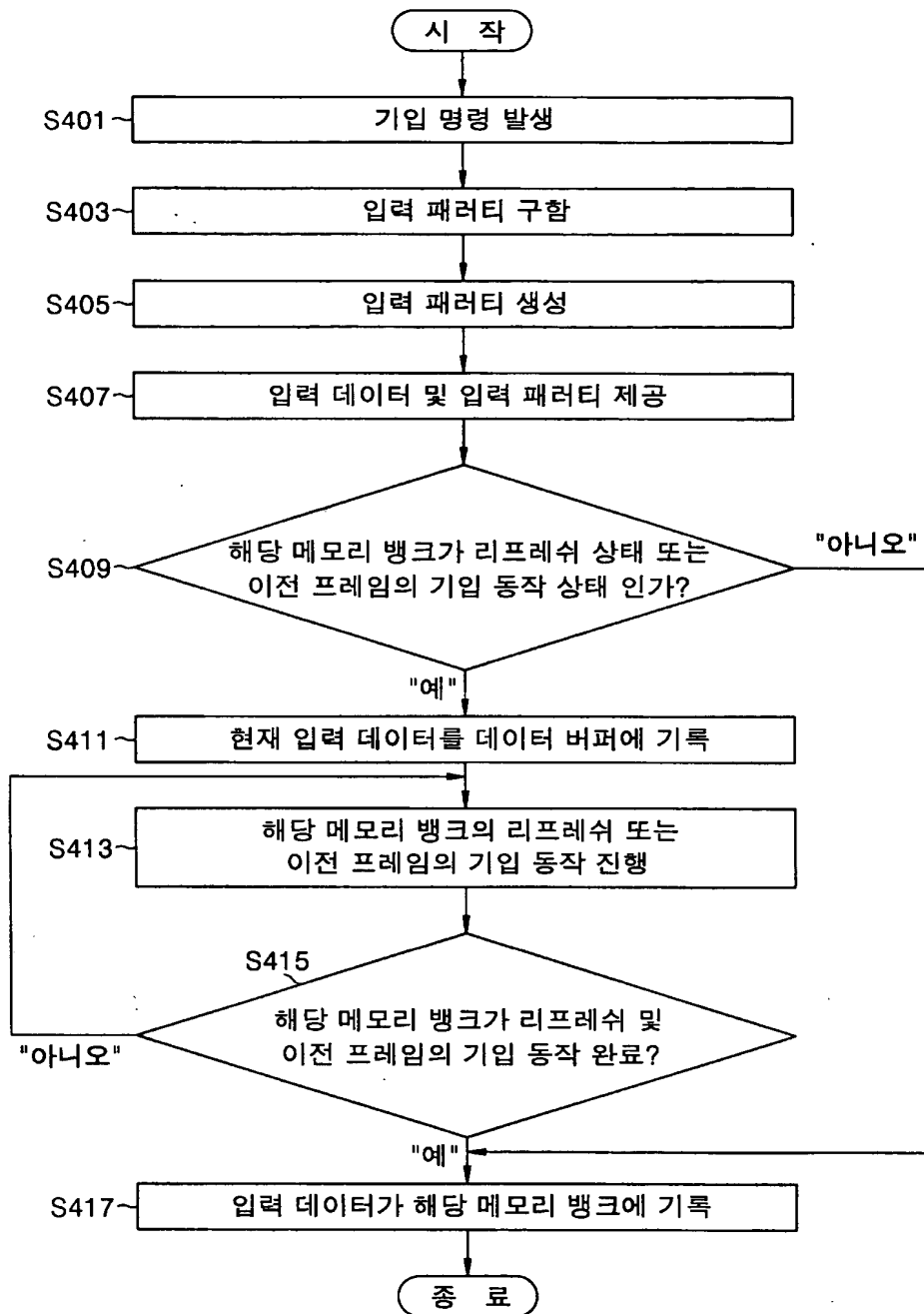
【도 2】



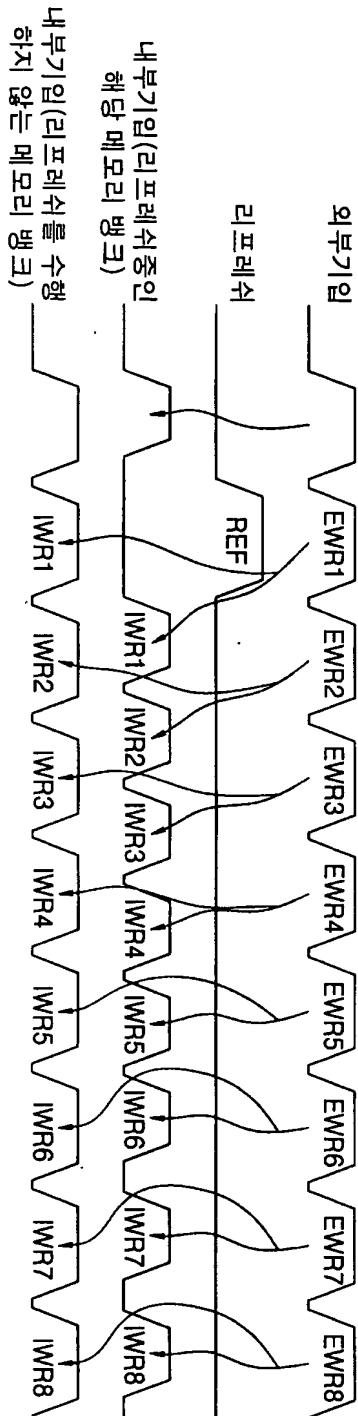
【도 3】



【도 4】



【너 5】



【도 6】

